



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002290218 A**

(43) Date of publication of application: 04.10.02

(51) Int. Cl. **H03K 5/14**
H03L 7/081
H04N 5/06

(21) Application number: 2001090653

(22) Date of filing: 27.03.01

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **SONOBE HIROYUKI**

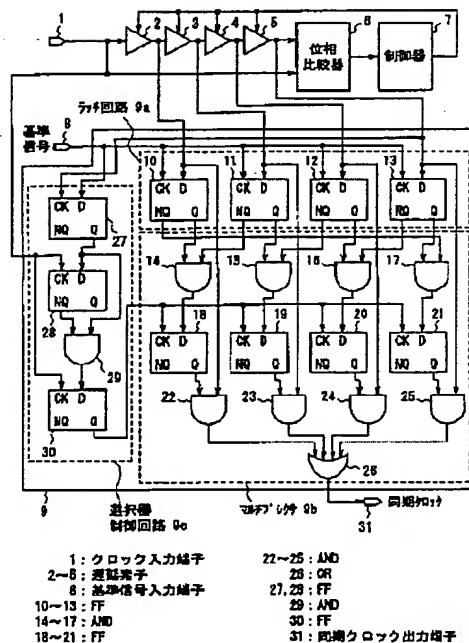
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device that stably generates a clock synchronously with a reference signal with specified precision to cope with even a rapid change in the reference signal.

SOLUTION: The semiconductor device is provided with N (N is an integer of 2 or over)-stages of delay elements that delays an external clock by 1/N clock each, a phase comparator that compares the phase of the clock delayed by the N-stages of the delay elements with the phase of the one succeeding clock of the external clock, a controller that receives the phase difference detected by the phase comparator to control a delay of the delay elements, and a selection unit that selects the delay clock most synchronously with the reference signal among the delay clocks generated from each of the N-stages of delay elements and delayed by 1/N clock each.

COPYRIGHT: (C)2002,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-290218

(P2002-290218A)

(43) 公開日 平成14年10月4日 (2002.10.4)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 3 K 5/14

H 0 3 K 5/14

5 C 0 2 0

H 0 3 L 7/081

H 0 4 N 5/06

Z 5 J 0 0 1

H 0 4 N 5/06

H 0 3 L 7/08

J 5 J 1 0 6

審査請求 有 請求項の数 9 O L (全 13 頁)

(21) 出願番号 特願2001-90653(P2001-90653)

(22) 出願日 平成13年3月27日 (2001.3.27)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 藺部 浩之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100081813

弁理士 早瀬 盛一

Fターム(参考) 5C020 AA01 AA16 CA13 CA15

5J001 AA11 CC03 DD06

5J106 AA03 CC21 CC52 CC59 DD09

DD42 DD43 DD46 DD48 HH02

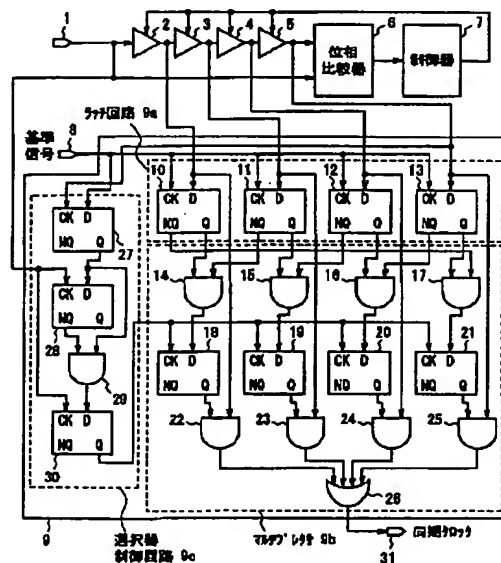
KK03 KK12

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 基準信号に同期したクロックを一定の同期精度でかつ安定的に生成し、急激な基準信号の変化にも対応できるようにする。

【解決手段】 本発明にかかる半導体装置は、前記外部クロックを $1/N$ ($N:2$ 以上の整数) クロックずつ遅延させる N 段の遅延素子と、前記 N 段の遅延素子によって遅延されたクロックの位相と、前記外部クロックの1クロック後の位相と、を比較する位相比較器と、前記位相比較器によって検出された位相差を入力とし、前記遅延素子の遅延値を制御する制御器と、前記 N 段の遅延素子それぞれにより生成される、 $1/N$ クロックずつ遅延させた遅延クロックから、基準信号に最も同期する遅延クロックを選択する選択器とを備える。



1: クロック入力端子

2~5: 遅延素子

8: 基準信号入力端子

10~13: FF

14~17: AND

18~21: FF

22~25: AND

26: OR

27, 28: FF

29: AND

30: FF

31: 同期クロック出力端子

【特許請求の範囲】

【請求項 1】 同期させるクロックである外部クロックの入力を受ける外部クロック入力手段と、
前記外部クロックを $1/N$ ($N: 2$ 以上の整数) クロックずつ遅延させる N 段の遅延素子と、
前記 N 段の遅延素子によって遅延されたクロックの位相と、前記外部クロックの 1 クロック後の位相とを比較する位相比較手段と、
前記位相比較器によって検出された位相差を入力とし、前記遅延素子の遅延値を制御する制御手段と、
基準信号の入力を受ける基準信号入力端子と、
前記 N 段の遅延素子それぞれにより生成される、 $1/N$ クロックずつ遅延させた遅延クロックから前記基準信号に最も同期する遅延クロックを選択する選択手段と、を備えることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記選択器は、前記 N 段の遅延素子それぞれにより生成される、 $1/N$ クロックずつ遅延させた遅延クロックから、入力された基準信号の変化点の後ろで、当該遅延クロックの変化点が一番近い遅延クロックを選択することを特徴とする半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置において、前記選択器は、前記 N 段の遅延素子それぞれにより生成される、 $1/N$ クロックずつ遅延させた遅延クロックから、入力された基準信号の変化点の前で、当該遅延クロックの変化点が一番近い遅延クロックを選択することを特徴とする半導体装置。

【請求項 4】 請求項 1 に記載の半導体装置において、前記選択手段は、前記 N 段の遅延素子それぞれにより生成される、 $1/N$ クロックずつ遅延させた遅延クロックをそれぞれ前記基準信号でラッチするラッチ回路と、クロック選択を行うタイミングを生成する選択器制御回路と、
前記ラッチ回路の出力を入力とし、前記選択器制御手段から出力されたタイミングで、前記 $1/N$ クロックずつ遅延させた遅延クロックをを選択するマルチプレクサと、を備えることを特徴とする半導体装置。

【請求項 5】 請求項 1 乃至請求項 3 の何れかに記載の半導体装置において、
前記選択手段のクロック選択時に、前記 N 段の遅延素子それぞれにより生成される、 $1/N$ クロックずつ遅延させた遅延クロックを一時的に止めるクロック停止手段をさらに備えることを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至請求項 5 の何れかに記載の半導体装置において、
前記位相比較器により、遅延なしクロックの位相と前記外部クロックの 1 クロック後の位相とが比較されることを防止する前遅延検出手段をさらに備えることを特徴とする半導体装置。

【請求項 7】 請求項 6 に記載の半導体装置において、

前記前遅延検出手段は、前記外部クロックを分周する分周回路と、

前記分周回路の出力を入力とし、クロック単位で遅延させる 2 段以上のラッチ回路（以下、第 1 のラッチ回路とする。）と、

前記分周回路の出力を入力とし、前記 N 段の遅延素子と同じ遅延値を持つ $N+1$ 段以上の遅延素子と、

前記 $N+1$ 段以上の遅延素子の出力を、前記外部クロックでラッチするラッチ回路（以下、第 2 のラッチ回路とする。）と、

前記第 1 のラッチ回路からの出力と前記第 2 のラッチ回路からの出力とを比較する比較器とからなることを特徴とする半導体装置。

【請求項 8】 請求項 1 乃至請求項 5 の何れかに記載の半導体装置において、

前記位相比較器により、2 クロック以上遅延されたクロックの位相と前記外部クロックの 1 クロック後の位相とが比較されることを防止する後遅延検出手段をさらに備えることを特徴とする半導体装置。

【請求項 9】 請求項 8 に記載の半導体装置において、前記後遅延検出手段は、前記外部クロックを分周する分周回路と、

前記分周回路の出力を入力とし、1 クロック遅延させるラッチ回路（以下、第 3 のラッチ回路とする。）と、

前記分周回路の出力を入力とし、前記 N 段の遅延素子と同じ遅延値を持つ $N-1$ 段以上の遅延素子と、

前記 $N-1$ 段以上の遅延素子の出力を、前記外部クロックでラッチするラッチ回路（以下、第 4 のラッチ回路とする。）と、

前記第 3 のラッチ回路からの出力と前記第 4 のラッチ回路からの出力とを比較する比較器とからなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、映像信号における水平同期信号等の基準信号に同期するクロック信号を生成するものである。

【0002】

【従来の技術】近年、映像信号処理のデジタル化が進んで来ており、映像信号処理において映像信号の水平同期信号等の基準信号に映像信号処理に用いるクロックを同期させる半導体装置が利用されている。以下に、この従来の半導体装置について説明する。

【0003】（第 1 の従来例）第 1 の従来例について、図 8、図 10、図 11、図 12 を用いて説明する。図 8 は、従来の半導体装置の回路図の一例であり、101 は基準信号入力端子、102 は位相比較器、103 はローパスフィルタ（以降、LPF）、104 は VCO、105 は分周回路、106 はクロック出力端子である。

【0004】また、図 10 は、図 8 に示した位相比較器

102の回路図の一例であり、110は被比較信号入力端子、111は比較信号入力端子、112は位相差出力端子である。図11は、図10の位相比較器のタイミングチャートであり、Qは被比較信号入力端子に入る被比較信号、Rは比較信号入力端子111に入る比較信号、Sは位相差出力端子112により出力される位相差出力を示す。

【0005】また、図12は、図8に示したLPFの回路図の一例であり、120は位相差入力端子、121、122は抵抗、123、124はコンデンサ、125は制御電圧出力端子である。

【0006】次に、第1の従来例の半導体装置の動作について図8から図12を用いて説明する。図8において、基準信号入力端子101に入力された基準信号は位相比較器102に被比較信号として入力される。また、同期されるクロックは、VCO104により生成され、クロック出力端子106より出力されるとともに、基準信号の周波数と比較信号の周波数とを合わせるために分周回路105により分周される。分周された信号は、位相比較器102に比較信号として入力され前記の基準信号と比較され、位相比較器102の出力として位相差出力が出力される。

【0007】位相比較器102には、図10に示す位相比較器が一般的に用いられ、被比較信号入力端子110に基準信号が、比較信号入力端子111に分周回路105により分周された信号が、それぞれ入力され、図11に示すように被比較信号(a)が前にあるときは、位相差出力(c)として位相差に見合ったHパルスが、比較信号(b)が前にあるときは位相差出力(c)として位相差に見合ったLパルスが出力される。

【0008】次に、図8において、このように位相比較器102から出力されたパルスである位相差出力は、LPF103に入力されVCO104を制御する電圧に変換される。なお、このLPF103は、一般的に図12のようなLPFが用いられる。

【0009】図12において、LPF103は、位相差入力端子120、抵抗121、122、コンデンサ123、124、制御電圧出力端子125で構成され、位相差入力端子120に入力された、位相比較器102からの出力である位相差出力を、電圧に変換して制御電圧出力端子125から出力する。

【0010】次に、図8において、VCO104は、LPF103より出力された制御電圧により制御され、位相差の分だけVCO104から出力するクロックの周波数を変化させる。この動作を、分周回路105により分周された信号と基準信号入力端子101から入力された基準信号との位相差が位相比較器102で検出されなくなるまで繰り返すことで、基準信号入力端子101に入力された基準信号と同期したクロック信号を生成し、クロック出力端子106から基準信号に同期したクロック

信号を出力する。

【0011】(第2の従来例)次に、第2の従来例について、図9を用いて説明する。図9は、従来の基準信号にクロックを同期させる半導体装置の回路図の一例であり、131はクロック入力端子、132から139はバッファ、140は基準信号入力端子、141は選択器、142は同期クロック出力端子である。

【0012】次に、この従来例の基準信号にクロックを同期させる半導体装置の動作について図9の回路図を用いて説明する。クロック入力端子131に所望のクロックと同じ周波数のクロックを入力する。入力されたクロックは、バッファ132から139により遅延され、各バッファの出力から少しずつ位相の遅れたクロックが出力される。

【0013】次に、選択器141は、各バッファから出力される各々の位相のクロックの中から、基準信号入力端子140より入力された基準信号に最も近い位相のクロックを選択し、同期クロック出力端子142から出力する。このように、第2の従来例では、選択器141が基準信号に最も近い位相のクロックを選択することにより、基準信号に同期したクロックを得ることができる。

【0014】

【発明が解決しようとする課題】しかしながら、前記第1の従来例では、位相比較器102により、基準信号入力端子101から入力された基準信号と、基準信号に同期させるクロック信号との位相比較を繰り返し行うことにより同期クロックを生成しているため、基準信号の位相が急激に変化した場合には、追従するのが遅れるという問題点を有している。

【0015】また、同期クロックの周波数を一定に保つため、基準信号で同期合わせをした後、次の基準信号が来るまでの間、VCO104の制御電圧を一定に保つ必要がある。しかし、基準信号の間隔が広い場合には、VCO104の制御電圧に電源ノイズ等の外乱が入った場合には、VCO104の共振周波数が変化してしまい同期を保つことができないという問題点を有していた。

【0016】一方、第2の従来例においては、遅延クロックを生成するため基準信号の位相が急激に変化した場合であっても、バッファ132から139より出力される位相のクロックの中から基準信号に最も同期したクロックを選択するため、基準信号の急激な位相変化にも追従可能であるが、バッファ132から139によるクロックの遅延値は、電圧変動、温度変化によって変化するため、外乱によりバッファ132から139の電圧、或は温度が変化した場合には、バッファ132から139によるクロックの遅延値が変化する。

【0017】そのため、選択器141によって、入力された基準信号と、最も近い位相クロックが選択された場合であっても、バッファ132から139の遅延値が変化しているために十分な精度の同期クロックが得られな

い場合があるという問題点を有しており、特に、1チップ上に様々な機能を奏する装置（他の論理回路）を複数組み込んだシステムLSIにおいては、他の装置からの外乱を受けやすく、十分な精度の同期クロックが得られない。

【0018】また、十分な精度を得るためには遅延するバッファの遅延値を小さくし、段数を増やす必要があるが、遅延するバッファの遅延値を小さくし、段数を増やすことにより、バッファ、選択器の回路規模が大きくなるという問題点を有していた。

【0019】本発明は、前記問題点に鑑みてなされたものであり、基準信号の位相が急激に変化した場合や、基準信号の位相間隔が広い場合、或は、電圧、温度等の外乱が発生した場合であっても基準信号に正確に同期したクロック信号を生成することができるものであり、特に、基準信号に高速クロックを同期させる場合に有用な半導体装置を提供することを目的とする。

【0020】

【課題を解決するための手段】この目的を達成するために、本発明の請求項1に記載の半導体装置は、同期させるクロックである外部クロックの入力を受ける外部クロック入力手段と、前記外部クロックを $1/N$ （ N :2以上の整数）クロックずつ遅延させる N 段の遅延素子と、前記 N 段の遅延素子によって遅延されたクロックの位相と、前記外部クロックの1クロック後の位相と、を比較する位相比較手段と、前記位相比較器によって検出された位相差を入力とし、前記遅延素子の遅延値を制御する制御手段と、基準信号の入力を受ける基準信号入力端子と、前記 N 段の遅延素子それぞれにより生成される、 $1/N$ クロックずつ遅延させた遅延クロックから、前記基準信号に最も同期する遅延クロックを選択する選択手段と、を備えることを特徴とするものである。

【0021】また、本発明の請求項2に記載の半導体装置は、請求項1に記載の半導体装置において、前記選択器は、前記 N 段の遅延素子それぞれにより生成される、 $1/N$ クロックずつ遅延させた遅延クロックから、入力された基準信号の変化点の後ろで、当該遅延クロックの変化点が一番近い遅延クロックを選択することを特徴とするものである。

【0022】また、本発明の請求項3に記載の半導体装置は、請求項1に記載の半導体装置において、前記選択器は、前記 N 段の遅延素子それぞれにより生成される、 $1/N$ クロックずつ遅延させた遅延クロックから、入力された基準信号の変化点の前で、当該遅延クロックの変化点が一番近い遅延クロックを選択することを特徴とするものである。

【0023】また、本発明の請求項4に記載の半導体装置は、請求項1に記載の半導体装置において、前記選択手段は、前記 N 段の遅延素子それぞれにより生成される、 $1/N$ クロックずつ遅延させた遅延クロックをそれ

ぞれ前記基準信号でラッチするラッチ回路と、クロック選択を行うタイミングを生成する選択器制御回路と、前記ラッチ回路の出力を入力とし、前記選択器制御手段から出力されたタイミングで、前記 $1/N$ クロックずつ遅延させた遅延クロックを選択するマルチプレクサと、を備えることを特徴とするものである。

【0024】また、本発明の請求項5に記載の半導体装置は、請求項1乃至請求項3の何れかに記載の半導体装置において、前記選択手段のクロック選択時に、前記 N 段の遅延素子それぞれにより生成される、 $1/N$ クロックずつ遅延させた遅延クロックを一時的に止めるクロック停止手段をさらに備えることを特徴とするものである。

【0025】また、本発明の請求項6に記載の半導体装置は、請求項1乃至請求項5の何れかに記載の半導体装置において、前記位相比較器により、遅延なしクロックの位相と前記外部クロックの1クロック後の位相とが比較されることを防止する前遅延検出手段をさらに備えることを特徴とするものである。

【0026】また、本発明の請求項7に記載の半導体装置は、請求項6に記載の半導体装置において、前記前遅延検出手段は、前記外部クロックを分周する分周回路と、前記分周回路の出力を入力とし、クロック単位で遅延させる2段以上のラッチ回路（以下、第1のラッチ回路とする。）と、前記分周回路の出力を入力とし、前記 N 段の遅延素子と同じ遅延値を持つ $N+1$ 段以上の遅延素子と、前記 $N+1$ 段以上の遅延素子の出力を、前記外部クロックでラッチするラッチ回路（以下、第2のラッチ回路とする。）と、前記第1のラッチ回路からの出力と前記第2のラッチ回路からの出力とを比較する比較器とからなることを特徴とするものである。

【0027】また、本発明の請求項8に記載の半導体装置は、請求項1乃至請求項5の何れかに記載の半導体装置において、前記位相比較器により、2クロック以上遅延されたクロックの位相と前記外部クロックの1クロック後の位相とが比較されることを防止する後遅延検出手段をさらに備えることを特徴とするものである。

【0028】また、本発明の請求項9に記載の半導体装置は、請求項8に記載の半導体装置において、前記後遅延検出手段は、前記外部クロックを分周する分周回路と、前記分周回路の出力を入力とし、1クロック遅延させるラッチ回路（以下、第3のラッチ回路とする。）と、前記分周回路の出力を入力とし、前記 N 段の遅延素子と同じ遅延値を持つ $N-1$ 段以上の遅延素子と、前記 $N-1$ 段以上の遅延素子の出力を、前記外部クロックでラッチするラッチ回路（以下、第4のラッチ回路とする。）と、前記第3のラッチ回路からの出力と前記第4のラッチ回路からの出力とを比較する比較器とからなることを特徴とするものである。

【0029】

【発明の実施の形態】（実施の形態 1）以下に本発明の実施の形態 1 による半導体装置について図 1、及び図 2 を用いて説明する。図 1 は、本発明の実施の形態 1 による半導体装置の回路図の一例を示した図である。図 1 において、本発明のかかる半導体装置は、クロック入力端子 1 と、遅延素子 2 から 5、位相比較器 6、制御器 7、基準信号入力端子 8、選択器 9、同期クロック出力端子 31 とからなる。

【0030】クロック入力端子 1 は、同期させたいクロックと同じ周波数のクロックの入力を受ける。遅延素子 2 から 5 は、クロック入力端子 1 から入力されたクロック信号を 1/4 位相ずつ位相シフトさせるものであり、例えば、CMOS により構成される。位相比較器 6 は、遅延素子 5 から出力される 1 クロック遅延クロックと、クロック入力端子 1 から入力されたクロックの 1 クロック後のクロックを比較し、位相差出力を制御器 7 に出力する。制御器 7 は、位相比較器 6 から出力された位相差出力に基づいて、遅延素子 2 から 5 の遅延値を制御する。

【0031】選択器 9 は、基準信号入力端子 8 から入力される基準信号に基づいて、基準信号に最も近い同期クロックを選択し、同期クロック出力端子 31 から出力するものであり、具体的には、FF10、FF11、FF12、FF13 からなるラッチ回路 9a と、AND14、AND15、AND16、AND17、FF18、FF19、FF20、FF21、AND22、AND23、AND24、AND25、及び OR26 からなるマルチプレクサ 9b と、FF27、FF28、AND29、FF30 からなる選択器制御回路 9c とで構成される。

【0032】次に、本発明の実施の形態 1 による半導体装置の動作について説明する。図 2 は、本発明の実施の形態 1 による半導体装置のタイミングチャートの一例であり、(a) は入力クロック、(b) は遅延素子 2 からの出力である 1/4 クロック遅延のクロック、(c) は遅延素子 3 からの出力である 2/4 クロック遅延のクロック、(d) は遅延素子 4 からの出力である 3/4 クロック遅延のクロック、(e) は遅延素子 5 からの出力である 1 クロック遅延のクロック、(f) は基準信号、(g) は FF27 の Q 出力、(h) は FF28 の NQ 出力、(i) は AND29 の出力である微分パルス、(j) は FF30 の Q 出力、(k) は同期クロック出力端子 31 から出力される同期クロックである。

【0033】クロック入力端子 1 から同期させたいクロックと同じ周波数のクロックの入力（図 2 の (a)）があると、遅延素子 2 から 5 により入力クロックを 1/4 ずつ位相シフトさせた図 2 の (b) から (e) に示す遅延クロックが生成される。かかる遅延素子 2 からの 5 の各遅延値は、電圧、温度等の外乱の影響を受けて遅延値が変動する恐れがあるため、位相比較器 6、及び制御器 7 により

制御されている。

【0034】以下に、この位相比較器 6、及び制御器 7 による遅延素子 2 から 5 の遅延値の制御について説明する。位相比較器 6 は、クロック入力端子 1 から入力されたクロックの 1 クロック後のクロックと、遅延素子 5 から出力される 1 クロック遅延クロックとを比較し、位相差出力を制御器 7 に出力する。

【0035】なお、位相比較器 6 は、従来例で示した図 9 の位相比較器を用いることができ、この場合には、被比較信号端子 110 に入力されたクロックの 1 クロック後のクロックを、比較信号入力 111 に遅延素子 2 から 5 で遅延された 1 クロック遅延クロックをそれぞれ入力することにより、位相差出力端子 112 から位相差出力を得ることができる。

【0036】制御器 7 は、位相比較器 6 から出力された位相差出力に基づいて、遅延素子 2 から 5 の遅延値を制御する制御信号を生成する。なお、この制御器 7 は、位相比較器 6 に図 9 の位相比較器を用いた場合には、図 12 に示した LPF が用いることができ位相差出力を電圧値に変換して制御信号として出力する。遅延素子 2 から 5 の遅延値は、制御器 7 から出力される制御信号（図 11 の LPF を用いた場合は、電圧）により、それぞれ、入力クロックを 1/4 クロックずつ位相シフトさせるように制御される。

【0037】なお、この遅延素子 2 から 5 の遅延値の制御動作は、同期クロック生成中は、繰り返行われており、位相比較器 6 で検出される位相差がなくなるように、制御器 7 は、遅延素子 2 から 5 の遅延値を制御する。

【0038】このように、位相比較器 6、及び制御器 7 により、遅延素子 2 から 5 の遅延値を制御することにより、電圧や温度等が変化した場合であっても、位相比較器 6、及び制御器 7 により遅延素子 2 から 5 の遅延値が制御することができるため、常に各遅延素子から、それぞれ 1/4 クロックずつ位相のシフトしたクロックを発生させることができる。

【0039】次に、図 1 において、選択器 9 は、基準信号入力端子 8 から入力される基準信号に基づいて、遅延素子 2 から 5 より出力される 1/4 クロックずつ位相のシフトした遅延クロックから基準信号に最も近い同期クロックを選択し、同期クロック出力端子 31 から出力する。

【0040】以下に、この選択器 9 によるクロック選択について図 1、及び図 2 を用いて具体的に説明する。FF10 から 13 は、それぞれ、遅延素子 2 から 5 より出力された遅延クロック (b) から (e) を基準信号入力端子 8 から入力された基準信号 (f) でラッチする。すなわち、FF10 から 13 は、基準信号 (f) が立ち上がったときの遅延素子 2 から 5 の出力状態を保持する。したがって、図 2 に示すタイミングで基準信号 (f) が生成された

場合には、FF10、13にLが、FF11、12にHが保持されることとなる。

【0041】FF10から13でラッチされたデータは、AND14から17でデコードされ、クロックを選択する信号となる。すなわち、図2に示すタイミングで基準信号(f)が生成された場合には、AND16の出力のみHとなり、それ以外のAND14、15、17の出力はLとなる。

【0042】一方で、基準信号入力端子8から入力された基準信号(f)は、FF27により、遅延素子5の出力である1クロック遅延クロックでラッチされ、FF27からは、図2に示すFF27Q出力(g)が出力される。このFF27Q出力(g)は、さらに、FF28により、クロック入力端子1から入力されたクロックでラッチされ、図2に示すFF28NQ出力(h)がFF28から出力される。

【0043】FF27から出力されたFF27Q出力(g)と、FF28から出力されたFF28NQ出力(h)は、AND29でANDされ、AND29の出力として基準信号(f)の微分パルス(i)を出力する。

【0044】AND29の出力はFF30により、クロック入力端子1から入力されたクロックでラッチされ、微分パルス(i)の1クロック遅延信号である、図2に示すFF30Q出力(j)がFF30から出力される。

【0045】次に、先に説明したAND14から17でデコードされた信号は、FF18から21により、FF30から出力されるFF30Q出力(j)でラッチされ、FF20出力のみがHとなり、FF18、19、21出力はLとなる。

【0046】そして、このFF18から21出力を受けたAND22から25、及びOR26は、FF30Q出力(j)が入力されたタイミングで、遅延素子2から5より出力される遅延クロックの選択を行い、基準信号に同期するクロックを生成する。即ち、図2(k)に示すように、遅延素子5から出力されている4/4クロック遅延クロックから、FF20出力(H出力)に対応する、遅延素子4からの出力である3/4クロック遅延クロックに切り換えが行われ、基準信号入力端子8から入力された基準信号に同期したクロックとして出力される。

【0047】なお、このように選択器9を構成した場合には、図2からも分かるように、遅延素子2から5より出力される遅延クロックから、入力された基準信号の変化点よりも前で、遅延クロックの変化点が一番近いクロックを選択することとなる。また、遅延素子2から5より出力される遅延クロックから、入力された基準信号の変化点よりも後で、遅延クロックの変化点が一番近いクロックを選択する場合には、FF10から13よりAND14から17に出力されるN出力、NQ出力を図13に示すようにすればよい。

【0048】このように、本発明の実施の形態1による

半導体装置によれば、絶えず遅延素子2から5の遅延値を位相比較器6、及び制御器7により制御することで、電圧温度等の外乱を受けた場合であっても各遅延素子からの出力として1/4クロックずつ位相のシフトしたクロックを生成することができる。また、前記1/4クロックずつ位相シフトしたクロックを基準信号の位相によって選択する選択器9を備えることで急激な基準信号の変化に対しても追従することができ、基準信号(f)の間隔が広い場合等であっても、各遅延素子から出力されるクロックの周波数を一定に保つことができる。

【0049】なお、本発明の実施の形態1においては、説明を簡単にするために、遅延素子を4段で構成したが、少なくとも、2段以上の段数の遅延素子を設けることにより、本発明の実施の形態1と同様の効果を得ることができ、遅延素子をN段(N:2以上の整数)で構成した場合は、各遅延素子が1/Nクロックずつ位相シフトさせるようにすればよい。また、遅延素子の段数を増やすことにより、生成される同期クロックの同期精度を上げることができる。

【0050】(実施の形態2)以下に、本発明の実施の形態2による半導体装置について図3、図4を用いて説明する。なお、以下に説明する実施の形態2による半導体装置は、前述した実施の形態1による半導体装置を改良したものである。

【0051】前記実施の形態1による半導体装置では、同期クロック出力端子31から出力する同期クロックを選択器9により切替える時に、一時的にパルス幅が狭いパルス(図2(k)で示すHレベルの狭いパルス)が発生する恐れがあるため、かかるクロックが正規クロックのパルス幅以下である場合には、当該クロックを使用するシステムが誤動作を起こす可能性がある。

【0052】そこで、本発明の実施の形態2では、クロック切替え時においても正規クロックのパルス幅以下のクロックを作ることなく、基準信号に同期した同期クロックを生成することができる半導体装置について説明する。

【0053】図3は、本発明の実施の形態2による半導体装置の回路図の一例を示した図である。図3において、本発明にかかる半導体装置は、クロック入力端子1と、遅延素子2から5、位相比較器6と、制御器7と、基準信号入力端子8と、選択器9と、同期クロック出力端子31と、AND32、33とからなる。なお、図3において、図1を用いて説明した前記実施の形態1による半導体装置と同じの構成要素については同一の符号を付し、ここでは説明を省略する。

【0054】AND32は、クロック入力端子1から入力されたクロックと、AND29から出力される、基準信号の微分パルスとのANDを出力する。AND33は、クロック入力端子1から入力されたクロックと、FF30のQ出力とのANDを出力する。なお、このAN

D32、33は、選択器9によるクロック切替え時に、遅延素子2から5より出力されるクロックを一時的に停止させるものである。

【0055】次に、本発明の実施の形態2による半導体装置の動作について図3、図4を用いて説明する。なお、本発明の実施の形態2による半導体装置の動作は、選択器9が同期クロック出力端子31から出力する同期クロックを切替える際に、一時的に同期クロック出力端子31から出力される同期クロックを止める点において、前記実施の形態1で説明した半導体装置と異なるため、ここでは、前記実施の形態1で説明した半導体装置と同様の動作を行う構成要素については説明を省略する。

【0056】図4は、本発明の実施の形態2による半導体装置のタイミングチャートの一例であり、図4において、(a)は入力クロック、(b)は基準信号、(c)はFF27のQ出力、(d)はFF28のNQ出力、(e)はAND29の出力である微分パルス、(f)はFF30のQ出力、(g)はAND32の出力、(h)は遅延素子2の出力、(i)は遅延素子3の出力、(j)は遅延素子4の出力、(k)は遅延素子5の出力、(l)はAND33の出力、(m)は同期クロック出力端子31から出力される同期クロックである。

【0057】図3、図4において、基準信号入力端子8から入力された基準信号(b)は、FF27により、遅延素子5の出力である1クロック遅延クロックでラッチされ、FF27からFF27Q出力(c)を出力する。このFF27Q出力(c)は、さらに、FF28により、クロック入力端子1から入力されたクロックでラッチされ、FF28NQ出力(d)がFF28から出力される。

【0058】FF27から出力されたFF27Q出力(c)と、FF28から出力されたFF28NQ出力(d)は、AND29でANDされ、AND29の出力として基準信号の微分パルス(e)をFF30、及びAND32に出力する。FF30では、AND29からの出力である微分パルス(e)をクロック入力端子1から入力されたクロックでラッチし、微分パルス(e)の1クロック遅延信号である、FF30Q出力(f)をFF23から26、及びAND33に出力する。AND32は、クロック入力端子1から入力されたクロック信号と、AND29から出力された微分パルス(e)とのANDをとり、AND32出力(g)を遅延素子2に出力する。

【0059】なお、このように、入力クロック(a)と、クロック切替えを行うタイミングの基準となるAND29から出力された微分パルス(e)とのANDをとることにより、選択器9によるクロック切替え時のクロックを一時的にとめることができる。

【0060】AND32から出力されたAND32出力(g)は、遅延素子2から5に入力され、遅延素子2から5により、AND32出力(g)を1/4ずつ位相シフト

させた図4の(h)から(k)に示す遅延クロックが生成される。かかる遅延クロック(h)から(k)は、前記実施の形態1で説明したのと同様に、FF10から13により基準信号fでラッチ、AND14から17でデコードされた後、FF30から出力されるFF30Q出力(f)でラッチされる。

【0061】したがって、図4に示すタイミングで基準信号(b)が生成された場合には、遅延素子5から出力されていた4/4クロック遅延クロックのクロック信号(k)から、遅延素子4から出力される3/4クロック遅延クロックにクロック信号(j)に切替えられる。

【0062】このようにして生成された同期クロック(m)は、図4に示すように、パルス幅の狭いパルスが発生することがないため、生成された同期クロックが正規クロックのパルス幅以下となることはなく、当該クロックを使用するシステムの誤動作を防止することができる。

【0063】また、AND33は、クロック入力端子1から入力されたクロック信号(a)と、FF30から出力された微分パルス(e)の1クロック遅延パルスであるFF30Q出力(f)とのANDをとり、AND33出力(l)を位相比較器6に出力する。

【0064】なお、このAND33出力(l)は、AND32から出力されるAND32出力(g)の1クロック遅延クロックと同一クロックの信号であるため、位相比較器6は、AND32出力(g)を遅延素子2から5により1クロック遅延させた遅延素子5出力(k)と、AND33出力(l)とを位相比較することにより、制御器7により、遅延素子2から5の遅延値を制御することができる。

【0065】このように本発明の実施の形態2によれば、FF27、28、30とAND29で基準信号の微分パルスを作り、このパルスによって遅延素子2～5に入力するクロックを一時的に止めることにより、遅延素子5出力である1クロック遅延クロック(k)から遅延素子4出力である3/4クロック遅延クロック(j)に、同期信号出力端子31から出力する同期クロックを切り換えるときでも、クロック切り換え時に、正規クロックのHレベル幅、Lレベル幅以下のクロックを作ることなく、同期クロックを生成することができ、当該同期クロックを用いたシステムが誤動作を起こすことを防止することができる。

【0066】また、本発明の実施の形態2による半導体装置によれば、絶えず遅延素子2から5の遅延値を位相比較器6、及び制御器7により制御することで、電圧温度等の外乱を受けた場合であっても各遅延素子からの出力として1/4クロックずつ位相のシフトしたクロックを生成することができる。また、前記1/4クロックずつ位相シフトしたクロックを基準信号の位相によって選択する選択器9を備えることで急激な基準信号の変化に

対しても追従することができ、基準信号(b)の間隔が広い場合等であっても、各遅延素子から出力されるクロックの周波数を一定に保つことができる。

【0067】(実施の形態3)以下に、本発明の実施の形態1による半導体装置について図5から図7を用いて説明する。図5は、本発明の実施の形態3による半導体装置の回路図の一例を示した図である。図5において、本発明にかかる半導体装置は、クロック入力端子1と、遅延素子2から5と、位相比較器6と、基準信号入力端子8と、選択器9と、同期クロック出力端子31と、前遅延検出器34と、後遅延検出器35と、制御器41とからなる。なお、図5において、図1を用いて説明した前記実施の形態1による半導体装置と同様の構成要素については同一の符号を付し、ここでは説明を省略する。

【0068】前遅延検出器34は、遅延素子2から5によるクロックの遅延量が、許容範囲以上に小さくなっていないかを監視するものであり、位相比較器6において、遅延なしクロックの位相と前記外部クロックの1クロック後の位相とが比較されることを防止するものである。かかる前遅延検出回路34は、図5に示すように、T-FF42と、FF43から45と、遅延素子2から5と同じ遅延値を持つ遅延素子46から50と、EXOR51とにより構成される。

【0069】また、後遅延検出器35は、遅延素子2から5によるクロックの遅延量が、許容範囲以上に大きくないかを監視するものであり、位相比較器6において、2クロック以上遅延されたクロックの位相と前記外部クロックの1クロック後の位相とが比較されることを防止するものである。かかる後遅延検出器35は、図5に示すように、カウンタ回路52と、FF53と、遅延素子2から5と同じ遅延値を持つ遅延素子54から56と、FF57と、EXOR58とにより構成される。

【0070】なお、遅延素子2から5と同じ遅延値を持つ、遅延素子46から50、又は54から56の遅延値は、具体的には、遅延素子2から5の何れか一つの遅延値と同じ値をとるようにする場合の他、遅延素子2から5の遅延値の平均値をとるようにするもの等、遅延素子2から5の遅延値との関係により定められるものであればよい。

【0071】制御器41は、位相比較器6から出力される位相差出力、前遅延検出器34及び後遅延検出器35から出力される信号に基づいて遅延素子2から5の遅延値を制御するものである。

【0072】次に、本発明の実施の形態3による半導体装置の動作について説明する。なお、本発明の実施の形態3による半導体装置の動作は、前遅延検出器34、及び後遅延検出器35を用いて遅延素子2から5の遅延値制御を行う点において前記実施の形態1で説明した半導体装置と異なるため、ここでは、前記実施の形態1で説

明した半導体装置と同様の動作を行う構成要素については説明を省略する。

【0073】図6は、本発明の実施の形態3による半導体装置のタイミングチャートの一例であり、(a)は遅延素子5の出力、(b)は位相比較器6に入力される被比較信号、(c)はT-FF42から出力される分周パルス、(d)はFF43出力、(e)はFF44出力、(f)は遅延素子50の正常動作時の出力、(g)はFF45の正常動作時の出力、(h)は遅延素子50の誤動作時の出力、(i)はFF45の誤動作時の出力、(j)はカウンタ52のキャリー出力、(k)はFF53出力、(l)は遅延素子56の正常動作時の出力、(m)はFF57の正常動作時の出力、(n)は遅延素子56の誤動作時の出力、(o)はFF57の誤動作時の出力である。

【0074】まず、前遅延検出回路34の動作について説明する。位相比較器6に入力される被比較信号(b)は、FF42で分周され、分周されたパルス(c)は、FF43、FF44により2クロック遅延され、遅延パルス(e)として2クロック遅れたパルスをFF44から出力する。

【0075】また、FF42で分周された分周パルス(c)は、遅延素子2から5の遅延値と同じ遅延値を有する遅延素子46から50により5/4クロック遅延させられた後に(図6に示す(f)又は(h))、FF45にラッチされることにより、分周パルス(c)を2クロック遅延したパルスがFF45出力(g)又は(i)として出力される。

【0076】次に、EXOR51は、FF44出力とFF45出力とを比較し、FF44出力とFF45出力とが等しい場合には、遅延素子2から5の遅延値が正常である旨を示す信号を、FF44出力とFF45出力とが異なる場合には、遅延素子2から5の遅延値が小さい旨を示す信号を、制御器41に出力する。

【0077】即ち、遅延素子2から5の遅延値が正しい場合には、FF45出力が図6の(g)に示すようなクロック信号となるため、FF44出力(e)のクロック信号とクロックの同期が一致する。そのため、EXOR51は、遅延素子2から5の遅延値が正常な遅延値で動作していると判断し、遅延値が正常である旨を示す信号を制御器41に出力する。

【0078】一方で、外乱等の影響で遅延素子2から5の遅延値が小さくなることにより、遅延素子46から50によるクロックの総遅延量が1クロック以下となった場合には、FF45出力は、図6に示す(i)に示すようなクロック信号となり、FF44出力(e)と一致しない。この場合には、EXOR51は、遅延素子2から5の遅延値が正常な遅延値よりも小さくなっていると判断し、遅延値が小さい旨を示す信号を制御器41に出力する。

【0079】このようにすることにより、制御器41

は、遅延素子2から5の遅延値を常に監視し、EXOR 51で不一致が発生し、遅延値が小さい旨を示す信号が制御器41に出力された場合には、制御器41は、遅延素子2から5の遅延値を大きくするように制御することにより、位相比較器6において、遅延なしクロックの位相と前記外部クロックの1クロック後の位相とが比較されることを防止することができる。

【0080】次に、後遅延検出回路35の動作について説明する。位相比較器6に入力される被比較信号(b)は、カウンタ52で分周され、キャリア出力(j)がカウンタ52から出力される。そして、キャリア出力(j)は、FF53でラッチされFF53出力として1クロック遅延したFF53出力(k)が出力される。

【0081】また、カウンタ52で分周されたキャリア出力(j)は、遅延素子2から5の遅延値と同じ遅延値を有する遅延素子54から56により3/4クロック遅延させられた後に(図6に示す(l)又は(n))、FF57にラッチされることにより、キャリア出力(j)を1クロック遅延したパルスがFF57出力(m)又は(o)として出力される。

【0082】次に、EXOR 58は、FF出力53とFF57出力とを比較し、FF53出力とFF57出力とが等しい場合には、遅延素子2から5の遅延値が正常である旨を示す信号を、FF53出力とFF57出力とが異なる場合には、遅延素子2から5の遅延値が大きい旨を示す信号を、制御器41に出力する

【0083】即ち、遅延素子2から5の遅延値が正しい場合には、FF57出力が図6の(m)に示すようなクロック信号となるため、FF44出力(k)のクロック信号とクロックの同期が一致する。そのため、EXOR 58は、遅延素子2から5の遅延値が正常な遅延値で動作していると判断し、遅延値が正常である旨を示す信号を制御器41に出力する。

【0084】一方で、外乱等の影響で遅延素子2から5の遅延値が大きくなることにより、遅延素子46から50によるクロックの総遅延量が1クロック以上となった場合には、FF57出力は、図6に示す(o)に示すようなクロック信号となり、FF53出力(k)と一致しない。この場合には、EXOR 58は、遅延素子2から5の遅延値が正常な遅延値よりも大きくなっていると判断し、遅延値が大きい旨を示す信号を制御器41に出力する。

【0085】このようにすることにより、制御器41は、遅延素子2から5の遅延値を常に監視し、EXOR 58で不一致が発生し、遅延値が大きい旨を示す信号が制御器41に出力された場合には、制御器41は、遅延素子2から5の遅延値を小さくするように制御することにより、位相比較器6において、2クロック以上遅延されたクロックの位相と前記外部クロックの1クロック後の位相とが比較されることを防止することができる。

【0086】次に、制御器41の構成、動作について、さらに詳細に説明する。図7は、本発明の実施の形態3による半導体装置の制御器41の一例を示す回路図であり、制御器41は、位相差入力端子120、抵抗121、122、コンデンサ123、124、制御電圧出力端子125、オーバー検出入力端子60、ゼロ検出入力端子61、スイッチ63、64により構成されている。なお、位相差入力端子120、抵抗121、122、容量123、124、制御値出力端子125は図12で示した従来のLPFと同じである。

【0087】オーバー検出入力端子60には、EXOR 58から出力された信号が入力され、遅延値が正常である旨を示す信号が入力されている間は、スイッチ63がOFFの状態となっている。そして、オーバー検出入力端子60にEXOR 58から遅延値が小さい旨を示す信号が入力された場合には、スイッチ64をONにして、強制的に遅延値を大きくする。

【0088】一方で、ゼロ検出入力端子61には、EXOR 51から出力された信号が入力され、遅延値が正常である旨を示す信号が入力されている間は、スイッチ64がOFFの状態となっている。そして、ゼロ検出入力端子61にEXOR 51から遅延値が小さい旨を示す信号が入力された場合には、スイッチ64をONにして、強制的に遅延値を大きくする。

【0089】以上のように本発明の実施形態3による半導体装置によれば、前遅延検出器34、及び後遅延検出器35を設け、常に、遅延素子2から5の遅延値を監視することにより、外乱等の影響により遅延素子2から5の遅延値が大きく変化した場合であっても、当該遅延素子2から5の遅延値の変化を検出し、制御器41で遅延素子2から5の遅延値を制御することができる。そのため、位相比較器6において異なるエッジの位相とが比較されることを防止することができ、基準信号に正確に同期したクロックを生成することができる。

【0090】また、本発明の実施の形態3による半導体装置によれば、絶えず遅延素子2から5の遅延値を位相比較器6、及び制御器7により制御することで、電圧温度等の外乱を受けた場合であっても各遅延素子からの出力として1/4クロックずつ位相のシフトしたクロックを生成することができる。また、前記1/4クロックずつ位相シフトしたクロックを基準信号の位相によって選択する選択器9を備えることで急激な基準信号の変化に対しても追従することができ、基準信号の間隔が広い場合等であっても、各遅延素子から出力されるクロックの周波数を一定に保つことができる。

【0091】なお、本発明の実施の形態3においては、説明を簡単にするために、4段の遅延素子に対して、前遅延検出器34の遅延素子を5段、後遅延検出器35の遅延素子を3段で構成したが、遅延素子をN段(N:2以上の整数)で構成した場合は、前遅延検出器34の遅

延素子を $N+1$ 段以上、後遅延検出器 35 の遅延素子を $N-1$ 以下で構成すればよく、本発明の実施の形態 3 と同様の効果を得ることができる。

【0092】

【発明の効果】以上のように本発明による半導体装置は、絶えず遅延素子の遅延値を位相比較器、及び制御器により制御することで、電圧温度等の外乱を受けた場合であっても各遅延素子からの出力として $1/N$ クロックずつ位相のシフトしたクロックを生成することができる。また、前記 $1/N$ クロックずつ位相シフトしたクロックを基準信号の位相によって選択する選択器を備えることで急激な基準信号の変化に対しても追従することができ、基準信号の間隔が広い場合等であっても、各遅延素子から出力されるクロックの周波数を一定に保つことができる。

【0093】また、本発明による半導体装置は、選択器によるクロック選択時に遅延素子から出力されるクロックを一時的に止めることにより、クロック切り換え時に、正規クロックの H レベル幅、又は L レベル幅以下のクロックを作ることなく、同期クロックを生成することができ、当該同期クロックを用いたシステムが誤動作を起こすことを防止することができる。

【0094】また、本発明による半導体装置は、前遅延検出器、及び後遅延検出器を設け、常に、遅延素子の遅延値を監視することにより、外乱等の影響により遅延素子の遅延値が大きく変化した場合であっても、当該遅延素子の遅延値の変化を検出し、制御器で遅延素子の遅延値を制御することができる。そのため、位相比較器において異なるエッジのが比較されることを防止することができ、基準信号に正確に同期したクロックを生成することができ、

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 による半導体装置の回路図の一例を示した図である。

【図 2】本発明の実施の形態 1 による半導体装置のタイミングチャート図である。

【図 3】本発明の実施の形態 2 による半導体装置の回路図の一例を示した図である。

【図 4】本発明の実施の形態 2 による半導体装置のタイミングチャート図である。

【図 5】本発明の実施の形態 3 による半導体装置の回路図の一例を示した図である。

【図 6】本発明の実施の形態 3 による半導体装置のタイミングチャート図である。

【図 7】本発明の実施の形態 3 による半導体装置の制御

器の構成の一例を示す図である。

【図 8】第 1 の従来例の半導体装置の回路図である。

【図 9】第 2 の従来例の半導体装置の回路図である。

【図 10】一般的な位相比較器の回路図である。

【図 11】一般的な位相比較器のタイミングチャート図である。

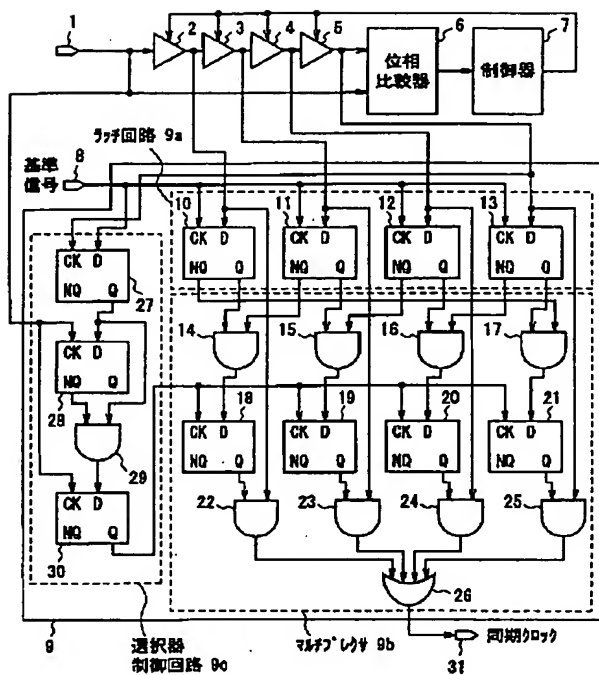
【図 12】一般的な LPF の回路図である。

【図 13】本発明の実施の形態 1 による半導体装置の回路図の一例を示した図である。

【符号の説明】

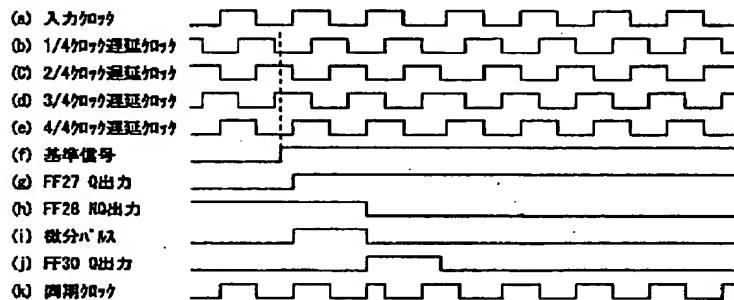
- | | |
|---------|------------|
| 1 | クロック入力端子 |
| 2、3、4、5 | 遅延素子 |
| 6 | 位相比較器 |
| 7 | 制御器 |
| 8 | 基準信号入力端子 |
| 9 | 選択器 |
| 9a | ラッチ回路 |
| 9b | マルチプレクサ |
| 9c | 選択器制御回路 |
| 31 | 同期クロック出力端子 |
| 34 | 前遅延検出器 |
| 35 | 後遅延検出器 |
| 41 | 制御器 |
| 60 | オーバー検出力端子 |
| 61 | ゼロ検出力端子 |
| 63、64 | スイッチ |
| 101 | 基準信号入力端子 |
| 102 | 位相比較器 |
| 103 | LPF |
| 104 | VCO |
| 105 | 分周回路 |
| 106 | クロック出力端子 |
| 110 | 被比較信号入力端子 |
| 111 | 比較信号入力端子 |
| 112 | 位相差出力端子 |
| 120 | 位相差入力端子 |
| 121、122 | 抵抗 |
| 123、124 | コンデンサ |
| 125 | 制御電圧出力端子 |
| 131 | クロック入力端子 |
| 132～139 | バッファ |
| 140 | 基準信号入力端子 |
| 141 | 選択器 |
| 142 | 同期クロック出力端子 |

【図1】

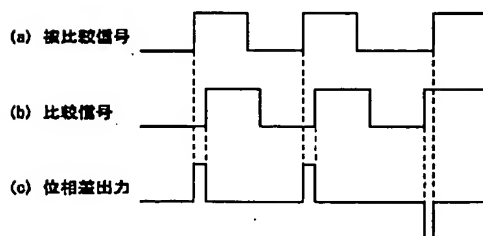


- 1: クロック入力端子
2~5: 遅延素子
8: 基準信号入力端子
10~13: FF
14~17: AND
18~21: FF
22~25: AND
26: OR
27, 28: FF
29: AND
30: FF
31: 同期クロック出力端子

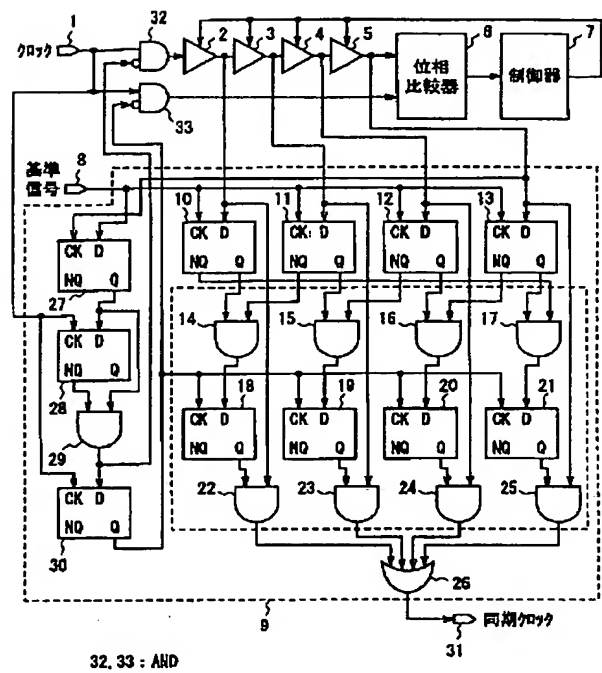
【図2】



【図11】

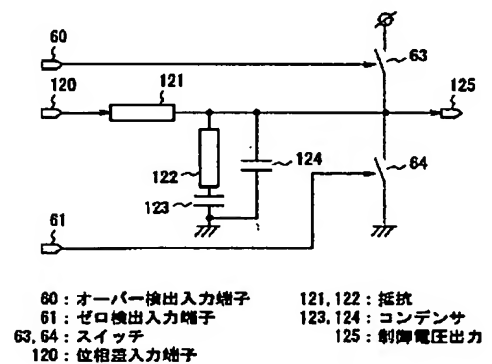


【図3】



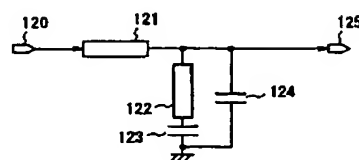
32, 33: AND

【図7】



- 60: オーバー検出力端子
61: ゼロ検出力端子
63, 64: スイッチ
120: 位相差入力端子
121, 122: 抵抗
123, 124: コンデンサ
125: 制御電圧出力

【図12】



(a) 入力加 α
(b) 基準信号
(c) FF27 Q出力
(d) FF28 NQ出力
(e) 積分 $n^* \Delta t$
(f) FF30 Q出力
(g) AND32出力
(h) 遅延素子2出力
(i) 遅延素子3出力
(j) 遅延素子4出力
(k) 遅延素子5出力
(l) AND33出力
(n) 同期クロック

42: T-FF
43~45, 53, 57: FF
46~50, 54~56: 遅延素子

51, 58: EXOR
52: カウンタ回路

101: 基準信号入力端子
106: クロック出力端子

131 132 133 134 135 136 137 138 139

クロック

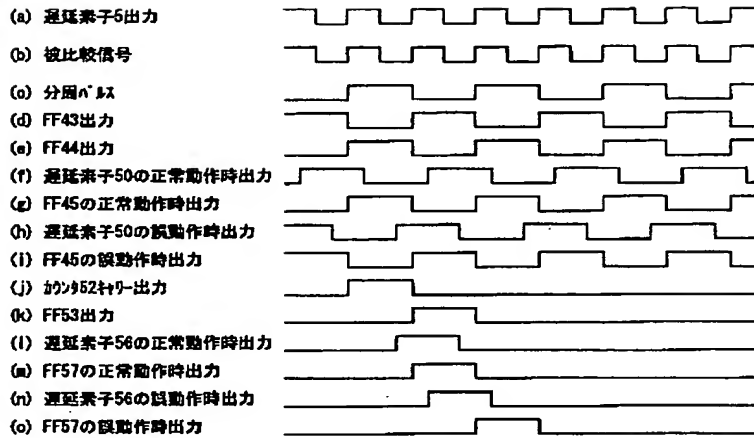
基準信号 140

選択器 141

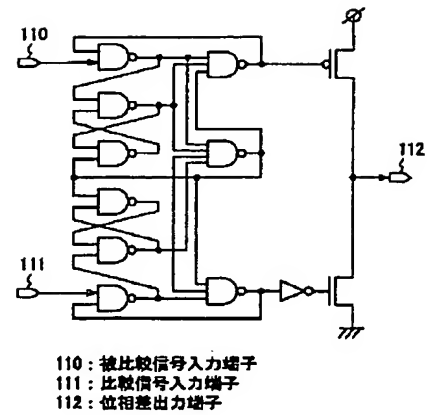
同期クロック 142

131 : クロック入力端子
132~139 : バッファ
140 : 基準信号入力端子
142 : 同期クロック出力端子

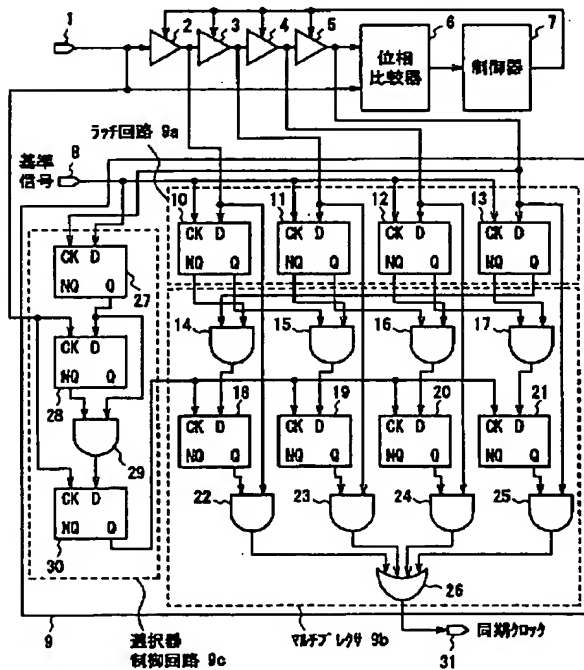
【図6】



【図10】



【図13】



11-11-11

1

2